

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-315789

(P2000-315789A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl.⁷

識別記号

F I

テ-マコ-ト* (参考)

H 0 1 L 29/78
21/8238
27/092
29/43

H 0 1 L 29/78
27/08
29/62

3 0 1 G 4 M 1 0 4
3 2 1 D 5 F 0 4 0
G 5 F 0 4 8

審査請求 未請求 請求項の数 7 O L (全 23 頁)

(21) 出願番号 特願平11-124405

(22) 出願日 平成11年4月30日 (1999. 4. 30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 網島 祥隆

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 須黒 恭一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

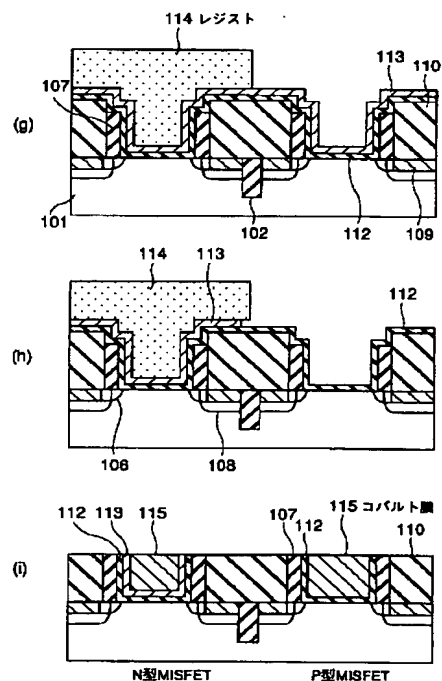
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ダマシゲート技術等を用いてゲート電極を作製する場合に、半導体装置の微細化等を可能にする。

【解決手段】 ゲート電極を形成する工程が、N型及びP型MISトランジスタ領域の凹部内に第1の金属含有膜113を形成する工程と、P型MISトランジスタ領域に形成された第1の金属含有膜を除去する工程と、N型MISトランジスタ領域に残置した第1の金属含有膜上及びP型MISトランジスタ領域のゲート絶縁膜112上に第2の金属含有膜115を形成する工程とからなり、N型MISトランジスタのゲート絶縁膜に接する金属含有膜の仕事関数がP型MISトランジスタのゲート絶縁膜に接する金属含有膜の仕事関数よりも小さい。



1

【特許請求の範囲】

【請求項 1】 N型M I S トランジスタ及びP型M I S トランジスタそれぞれのゲート電極が半導体基板に形成された凹部内にゲート絶縁膜を介して形成されている半導体装置であって、

N型M I S トランジスタ及びP型M I S トランジスタの少なくとも一方のゲート電極は複数の金属含有膜の積層構造によって構成され、かつN型M I S トランジスタのゲート絶縁膜に接する金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型M I S トランジスタのゲート絶縁膜に接する金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置。

【請求項 2】 N型M I S トランジスタ及びP型M I S トランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、

N型M I S トランジスタ用の第 1 のゲート形成領域及びP型M I S トランジスタ用の第 2 のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第 1 の金属含有膜を形成する工程と、

第 1 又は第 2 のゲート形成領域の一方の領域に形成された第 1 の金属含有膜を除去する工程と、

第 1 又は第 2 のゲート形成領域の他方の領域に残置した第 1 の金属含有膜上及び第 1 又は第 2 のゲート形成領域の一方の領域のゲート絶縁膜上に第 2 の金属含有膜を形成することにより第 1 及び第 2 のゲート形成領域の双方の領域の凹部を埋め込む工程とからなり、

前記第 1 及び第 2 の金属含有膜のうち、N型M I S トランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型M I S トランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置の製造方法。

【請求項 3】 N型M I S トランジスタ及びP型M I S トランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、

N型M I S トランジスタ用の第 1 のゲート形成領域及びP型M I S トランジスタ用の第 2 のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第 1 の金属含有膜を形成する工程と、

第 1 又は第 2 のゲート形成領域の一方の領域に形成された第 1 の金属含有膜を除去する工程と、

第 1 又は第 2 のゲート形成領域の他方の領域に残置した第 1 の金属含有膜上及び第 1 又は第 2 のゲート形成領域の一方の領域のゲート絶縁膜上に第 3 の金属含有膜を形成する工程と、

2

第 1 又は第 2 のゲート形成領域の他方の領域に形成された第 3 の金属含有膜を除去する工程と、

第 1 又は第 2 のゲート形成領域の一方の領域に残置した第 3 の金属含有膜上及び第 1 又は第 2 のゲート形成領域の他方の領域に露出した第 1 の金属含有膜上に第 2 の金属含有膜を形成することにより第 1 及び第 2 のゲート形成領域の双方の領域の凹部を埋め込む工程とからなり、前記第 1 及び第 2 の金属含有膜のうち、N型M I S トランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型M I S トランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置の製造方法。

【請求項 4】 N型M I S トランジスタ及びP型M I S トランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、

N型M I S トランジスタ用の第 1 のゲート形成領域及びP型M I S トランジスタ用の第 2 のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第 1 の金属含有膜を形成する工程と、

第 1 又は第 2 のゲート形成領域の一方の領域に形成された第 1 の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第 1 の金属含有膜を第 2 の金属含有膜に変換する工程とからなり、

前記第 1 及び第 2 の金属含有膜のうち、N型M I S トランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型M I S トランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置の製造方法。

【請求項 5】 N型M I S トランジスタ及びP型M I S トランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、

N型M I S トランジスタ用の第 1 のゲート形成領域及びP型M I S トランジスタ用の第 2 のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第 1 の金属含有膜を形成する工程と、

第 1 又は第 2 のゲート形成領域の一方の領域に形成された第 1 の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第 1 の金属含有膜を第 2 の金属含有膜に変換する工程と、

第 1 又は第 2 のゲート形成領域の他方の領域に形成された第 1 の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第 1 の金属含有膜を第 3 の金属含有膜に変換する工程とからなり、

前記第 2 及び第 3 の金属含有膜のうち、N型M I S トラ

3

ンジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置の製造方法。

【請求項6】N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、

N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、

第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜中を該第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第2の金属含有膜を形成する工程とからなり、

前記第1及び第2の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置の製造方法。

【請求項7】N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、

N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、

第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜中を該第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第2の金属含有膜を形成する工程と、

第1又は第2のゲート形成領域の他方の領域に形成された第1の金属含有膜中を該第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第3の金属含有膜を形成する工程とからなり、

前記第2及び第3の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

4

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特にN型MISトランジスタ及びP型MISトランジスタのゲート電極の改良に関するものである。

【0002】

【従来の技術】MISトランジスタの高性能化のためには、素子の微細化が必須である。しかし、ゲート絶縁膜として現在用いられているシリコン酸化膜は、誘電率が低いと、ゲート絶縁膜の容量を大きくできないという問題がある。また、ゲート電極として用いられているポリシリコンは、抵抗率が高いため、低抵抗化を達成できないという問題がある。それぞれの問題に対して、ゲート絶縁膜には高誘電体材料を用い、ゲート電極には金属材料を用いるという提案がなされている。

【0003】ところが、これらの材料は、現在用いられている材料に比べて耐熱性に劣るという欠点を有している。そこで、高温プロセスを行った後にゲート絶縁膜及びゲート電極を形成することが可能な技術として、ダマシゲート技術が提案されている。

【0004】ダマシゲート技術は、ゲート形成予定領域に予めダミーとなるゲートを形成しておき、ソース・ドレイン拡散層を形成した後にダミーゲートを除去し、ダミーゲートを除去した領域に電極材料を埋め込んでゲート電極を作製するものである。

【0005】ダマシゲート技術を用いてゲート電極を作製する場合、N型及びP型MISトランジスタのゲート電極に同一の金属を用いると、両トランジスタのゲート電極の仕事関数を異ならせることができないため、N型及びP型MISトランジスタそれぞれのしきい値を適正化することができない。

【0006】したがって、N型MISトランジスタとP型MISトランジスタとで、異なるゲート電極材料を用いる製造プロセスが必要とされる。以下、このような製造プロセスの一例について、図20(a)～図23

(i)を参照して説明する。

【0007】まず、シリコン基板501上にSTI構造の素子分離502を形成する。続いて、将来除去されるダミー絶縁膜として、膜厚6nm程度のシリコン酸化膜503を形成する。さらに、将来除去されるダミーゲートとして、膜厚150nm程度のポリシリコン膜504及び膜厚50nm程度のシリコン窒化膜505の積層構造を形成する。これらのダミー絶縁膜及びダミーゲートは、通常の技術（酸化やCVD等の成膜技術、リソグラフィ技術、RIE技術等）を用いて形成する。続いて、ダミーゲート（ポリシリコン膜504及びシリコン窒化膜505）をマスクとして、イオン注入技術により、ソース・ドレイン拡散層506となるエクステンション用の不純物拡散層を形成する。続いて、シリコン窒化膜507からなる幅40nm程度のゲート側壁絶縁膜

5

を、CVD技術とRIE技術によって形成する(図20(a))。

【0008】次に、ダミーゲート(ポリシリコン膜504及びシリコン窒化膜505)及びゲート側壁絶縁膜(シリコン窒化膜507)をマスクとして、イオン注入技術により、ソース・ドレイン拡散層508となる高濃度不純物拡散層を形成する。さらに、サリサイドプロセス技術により、ダミーゲートをマスクとしてソース・ドレイン領域のみに厚さ40nm程度のシリサイド膜(コバルト或いはチタン等のシリサイド)509を形成する(図20(b))。

【0009】次に、層間絶縁膜510として、例えばシリコン酸化膜をCVD法により堆積する。さらに、この層間絶縁膜510をCMP技術によって平坦化することにより、シリコン窒化膜505及び507の表面を露出させる(図20(c))。

【0010】次に、例えば燐酸を用いて、ダミーゲート上部のシリコン窒化膜505を層間絶縁膜510に対して選択的に除去する。このときに、シリコン窒化膜507もポリシリコン膜504の高さ程度までエッチングされる。続いて、例えばフッ素などのハロゲン原子のラジカルを用いたエッチング技術により、ポリシリコン膜504を層間絶縁膜510及びシリコン窒化膜507に対して選択的に除去する(図21(d))。

【0011】次に、フッ酸等のウエットエッチングによりダミーのシリコン酸化膜503を除去することにより、溝(凹部)が形成される。続いて、ゲート絶縁膜として、高誘電体絶縁膜である Ta_2O_5 膜512を、例えばCVD法等によって形成する。続いて、ゲート電極として、例えばアルミニウム膜513を堆積する(図21(e))。

【0012】次に、CMP技術を用いて、 Ta_2O_5 膜512及びアルミニウム膜513の平坦化を、層間絶縁膜510が露出するまで行う(図21(f))。

【0013】以上の図20(a)～図21(f)の工程は、N型MISトランジスタ形成領域及びP型MISトランジスタ形成領域の双方に対して行われるが、図面上では一方の領域のみを示した。以後の工程からは、N型MISトランジスタ(N型MISFET)形成領域及びP型MISトランジスタ(P型MISFET)形成領域の双方を図面上に示す。

【0014】図21(f)の工程の後、リソグラフィ技術を用いて、P型MISトランジスタ形成領域以外をレジスト514で覆う(図22(g))。

【0015】次に、燐酸によるウエットエッチングを行うことにより、P型領域のみアルミニウム膜513を除去する。この時、シリコン窒化膜507が露出しているが、室温の燐酸ではほとんどエッチングされない(図22(h))。

【0016】次に、レジスト514を除去した後、仕事

6

関数が5eV程度となる金属として、例えばコバルト膜515を全面に堆積する(図23(i))。

【0017】次に、CMP技術を用いて、コバルト膜515の平坦化を、層間絶縁膜510が露出するまで行う(図23(j))。

【0018】以上の工程により、ゲート電極構造として、N型はアルミニウム膜513からなり、P型はコバルト膜515からなるC-MISトランジスタが完成する。アルミニウム膜513は仕事関数が4.2eV程度、コバルト膜515は仕事関数が5eV程度であるため、N型MISトランジスタとP型MISトランジスタとで、それぞれでゲート電極の仕事関数を最適化することができ、両トランジスタのしきい値電圧を最適化することができる。

【0019】しかしながら、上述した従来技術では、微細化に対して大きな問題が生じる。以下、この問題について説明する。

【0020】図24(a)、図24(b)及び図24(c)は、それぞれ図22(g)、図22(h)及び図23(j)における主要部を模式的に示した平面図である。N型MISトランジスタ及びP型MISトランジスタのそれぞれのソース・ドレイン間の距離、すなわち素子間距離をDとする。

【0021】図22(h)の工程において、レジスト514をマスクにしてP型領域のアルミニウム膜513をウエットエッチングすると、ウエットエッチングは等方的に進行する。そのため、レジスト514でマスクされた領域までエッチングが深く進み、図24(b)に示すように、N型領域までアルミニウム膜513がエッチングされてしまう。

【0022】したがって、完成されたトランジスタ構造は、図24(c)に示すようになる。すなわち、N型領域では、仕事関数が互いに異なるアルミニウム膜とコバルト膜によってゲート電極が構成されることになる。そのため、N型MISトランジスタでは、しきい値の異なる領域が存在することになり、低いしきい値電圧の設定が望めなくなる。

【0023】上述した問題についてさらに検討する。ウエットエッチングによる横方向のエッチング量Eは、通常エッチングされるアルミニウム膜の高さH(図22(h)参照)以上となる。上述した例では、アルミニウム膜の高さHは150nm程度であるため、横方向のエッチング量Eは150nm以上となる。したがって、上述した問題を避けるためには、素子間距離Dを横方向のエッチング量Eの2倍以上、すなわち300nm以上にすることが必要となり、微細化を行うことが極めて困難になる。アルミニウム膜の高さHを低くすることである程度の微細化が可能になるが、アルミニウム膜の高さHの減少によってゲート抵抗が増大するため、本質的な解決策とはならない。

7

【0024】また、上述した従来技術では、ゲート絶縁膜等の信頼性に対しても大きな問題が生じる。以下、この問題について説明する。

【0025】上述した従来技術では、図22(h)の工程において、P型領域のアルミニウム膜513をウエットエッチングで除去した後、除去した領域に図23

(i)及び(j)の工程でコバルト膜515を形成する。したがって、アルミニウム膜513のエッチング等によってゲート絶縁膜512の表面が劣化し、ゲート絶縁膜の信頼性に対して悪影響が生じることになる。

【0026】

【発明が解決しようとする課題】以上述べたように、従来のダマシゲート技術では、ダミーゲートをエッチング除去する際に、エッチングが横方向に深く進行するため、微細化が困難であるという問題があった。また、ダミーゲートをエッチング除去することによって、ゲート絶縁膜等の信頼性に悪影響を与えるという問題もあった。

【0027】本発明は、上記従来の問題に対してなされたものであり、ダマシゲート技術等を用いてゲート電極が作製される半導体装置において、半導体装置の微細化を達成することを第1の目的とし、ゲート電極等の信頼性を確保することを第2の目的とする。

【0028】

【課題を解決するための手段】本発明(発明A)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極が半導体基板に形成された凹部にゲート絶縁膜を介して形成されている半導体装置であって、N型MISトランジスタ及びP型MISトランジスタの少なくとも一方のゲート電極は複数の金属含有膜の積層構造によって構成され、かつN型MISトランジスタのゲート絶縁膜に接する金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数(W1)がP型MISトランジスタのゲート絶縁膜に接する金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数(W2)よりも小さいことを特徴とする。

【0029】本発明(発明B)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜を除去する工程と、第1又は第2のゲート形成領域の他方の領域に残置した第1の金属含有膜上及び第1又は第2のゲート形成領域の一方の領域のゲート絶縁膜上に第2の金属含有膜を形成することにより第1及び第2のゲート形成領域の双方の領域の凹部を

8

埋め込む工程とからなり、前記第1及び第2の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数(W1)がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数(W2)よりも小さいことを特徴とする。

【0030】本発明(発明C)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜を除去する工程と、第1又は第2のゲート形成領域の他方の領域に残置した第1の金属含有膜上及び第1又は第2のゲート形成領域の一方の領域のゲート絶縁膜上に第3の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の他方の領域に形成された第3の金属含有膜を除去する工程と、第1又は第2のゲート形成領域の一方の領域に残置した第3の金属含有膜上及び第1又は第2のゲート形成領域の他方の領域に露出した第1の金属含有膜上に第2の金属含有膜を形成することにより第1及び第2のゲート形成領域の双方の領域の凹部を埋め込む工程とからなり、前記第1及び第2の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数(W1)がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数(W2)よりも小さいことを特徴とする。

【0031】本発明(発明A、B、C)によれば、N型MISトランジスタのゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する部分の仕事関数よりも小さいため、N型及びP型MISトランジスタそれぞれのゲート電極の仕事関数を最適化することができ、N型及びP型MISトランジスタのしきい値電圧を最適化することが可能である。

【0032】また、本発明(発明A、B、C)によれば、N型MISトランジスタ及びP型MISトランジスタの少なくとも一方のゲート電極は複数の金属含有膜で形成されているため、ゲート絶縁膜に接する部分の膜の抵抗率が低くなくても、上層側に抵抗率の低い膜を設けることで、ゲート電極全体の抵抗を低くすることができる。

【0033】また、本発明(発明B、C)によれば、第1、第3の金属含有膜上に第2の金属含有膜を形成するので、第1、第3の金属含有膜の膜厚を薄くすることが

できる。したがって、第1又は第2のゲート形成領域の一方の領域に形成された金属含有膜(第1、第3の金属含有膜)を除去する際に、第1又は第2のゲート形成領域の他方の領域まで深くエッチングが進行することを防止でき、半導体装置の微細化を達成することが可能となる。

【0034】なお、本発明(発明A、B、C)では、仕事関数W1が半導体基板に用いる半導体のバンドギャップの中央(バンドギャップの1/2の位置)よりも伝導帯に近い側にあり、仕事関数W2がバンドギャップの中央よりも荷電子帯に近い側にあることが好ましい。また、MISトランジスタのしきい値を決めるゲート絶縁膜に接する領域の厚さは、所望のしきい値が得られる厚さ以上であればよいが、好ましくは10原子層程度以上となるようにする。

【0035】また、本発明(発明A、B、C)では、N型及びP型MISトランジスタのゲート絶縁膜に接するそれぞれの部分は、必ずしも異種の材料である必要はなく、同種の材料であっても両者間で組成或いは結晶構造を異ならせることにより、両者の仕事関数を異ならせることができるものであればよい。

【0036】本発明(発明D)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第1の金属含有膜を第2の金属含有膜に変換する工程とからなり、前記第1及び第2の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする。

【0037】本発明(発明E)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第1の金属含有膜を第2の金

属含有膜に変換する工程と、第1又は第2のゲート形成領域の他方の領域に形成された第1の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第1の金属含有膜を第3の金属含有膜に変換する工程とからなり、前記第2及び第3の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする。

【0038】本発明(発明F)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜中を該第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第2の金属含有膜を形成する工程とからなり、前記第1及び第2の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする。

【0039】本発明(発明G)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板に形成された凹部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の凹部内に形成されたゲート絶縁膜上に第1の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の一方の領域に形成された第1の金属含有膜中を該第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第2の金属含有膜を形成する工程と、第1又は第2のゲート形成領域の他方の領域に形成された第1の金属含有膜中を該第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第3の金属含有膜を形成する工程とからなり、前記第2及び第3の金属含有膜のうち、N型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する方の金属含有膜の少なくともゲート絶縁膜に接する部分の仕事関数よりも小さいことを特徴とする。

11

【0040】本発明（発明D、E、F、G）によれば、N型MISトランジスタのゲート絶縁膜に接する部分の仕事関数がP型MISトランジスタのゲート絶縁膜に接する部分の仕事関数よりも小さいため、N型及びP型MISトランジスタそれぞれのゲート電極の仕事関数を最適化することができ、N型及びP型MISトランジスタのしきい値電圧を最適化することが可能である。

【0041】また、本発明（発明D、E、F、G）によれば、第1の金属含有膜に含まれる物質と該物質以外の物質とを反応させることにより第1の金属含有膜を第2、第3の金属含有膜に変換する、或いは、第1の金属含有膜中を第1の金属含有膜に含まれる物質以外の物質を拡散させてゲート絶縁膜界面に析出させることにより第2、第3の金属含有膜を形成するので、凹部内のゲート絶縁膜上に形成された金属含有膜をエッチングしないでゲート電極を作製することができ、ゲート絶縁膜の信頼性の低下を防止することが可能である。

【0042】なお、本発明（発明D、E、F、G）では、仕事関数W1が半導体基板に用いる半導体のバンドギャップの中央（バンドギャップの1/2の位置）よりも伝導帯に近い側にあり、仕事関数W2がバンドギャップの中央よりも荷電子帯に近い側にあることが好ましい。また、MISトランジスタのしきい値を決めるゲート絶縁膜に接する領域の厚さは、所望のしきい値が得られる厚さ以上であればよいが、好ましくは10原子層程度以上となるようにする。

【0043】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0044】（実施形態1）以下、本発明の第1の実施形態に係る製造工程の一例について、図1（a）～図3（i）を参照して説明する。

【0045】まず、シリコン基板101上にSTI構造の素子分離102を形成する。続いて、将来除去されるダミー絶縁膜として、膜厚2～6nm程度のシリコン酸化膜103を形成する。さらに、将来除去されるダミーゲートとして、膜厚150nm程度のポリシリコン膜104及び膜厚50nm程度のシリコン窒化膜105の積層構造を形成する。これらのダミー絶縁膜及びダミーゲートは、通常の技術（酸化やCVD等の成膜技術、リソグラフィー技術、RIE技術等）を用いて形成する。続いて、ダミーゲート（ポリシリコン膜104及びシリコン窒化膜105）をマスクとして、イオン注入技術により、ソース・ドレイン拡散層106となるエクステンション用の不純物拡散層を形成する。続いて、シリコン窒化膜107からなる幅20～40nm程度のゲート側壁絶縁膜を、CVD技術とRIE技術によって形成する（図1（a））。

【0046】次に、ダミーゲート（ポリシリコン膜104及びシリコン窒化膜105）及びゲート側壁絶縁膜

12

（シリコン窒化107）をマスクとして、イオン注入技術により、ソース・ドレイン拡散層108となる高濃度不純物拡散層を形成する。さらに、サリサイドプロセス技術により、ダミーゲートをマスクとしてソース・ドレイン領域のみに厚さ40nm程度のシリサイド膜（コバルト或いはチタン等のシリサイド）109を形成する（図1（b））。

【0047】次に、層間絶縁膜110として、例えばシリコン酸化膜をCVD法により堆積する。さらに、この層間絶縁膜110をCMP技術によって平坦化することにより、シリコン窒化膜105及び107の表面を露出させる（図1（c））。

【0048】次に、例えばリン酸を用いて、ダミーゲート上部のシリコン窒化膜105を層間絶縁膜110に対して選択的に除去する。このときに、シリコン窒化膜107もポリシリコン膜104の高さ程度までエッチングされる。続いて、例えばフッ素などのハロゲン原子のラジカルを用いたエッチング技術により、ポリシリコン膜104を層間絶縁膜110及びシリコン窒化膜107に対して選択的に除去する（図2（d））。

【0049】次に、希フッ酸等のウエットエッチングによりダミーのシリコン酸化膜103を除去することにより、溝（凹部）111が形成される。続いて、ゲート絶縁膜として、高誘電体絶縁膜であるハフニウム酸化膜（ HfO_2 膜）を全面に形成する。このハフニウム酸化膜は、例えば、 HfCl_4 と NH_3 を用いたCVD法、或いはハフニウム窒化物（ HfN ）又はハフニウムのターゲットを用いたスパッタ法により、ハフニウム窒化膜（ HfN 膜）を成膜した後、成膜したハフニウム窒化膜を酸化することにより得られる（図2（e））。

【0050】次に、CVD法或いはスパッタ法を用いて、仕事関数が4eV程度であるハフニウム窒化膜113を厚さ10nm程度、望ましくは10nm以下で全面に成膜する（図2（f））。

【0051】以上の図1（a）～図2（f）の工程は、N型MISトランジスタ形成領域及びP型MISトランジスタ形成領域の双方に対して行われるが、図面上では一方の領域のみを示した。以後の工程からは、N型MISトランジスタ（N型MISFET）形成領域及びP型MISトランジスタ（P型MISFET）形成領域の双方を図面上に示す。

【0052】図2（f）の工程の後、リソグラフィー技術を用いて、P型MISトランジスタ形成領域以外をレジスト114で覆う。このときの主要部の平面図を図4（a）に模式的に示す（図3（g））。

【0053】次に、過酸化水素水によるウエットエッチングを行うことにより、P型領域のみハフニウム窒化膜113を除去する。このときの主要部の平面図を図4（b）に模式的に示す。ゲート絶縁膜のハフニウム酸化膜112は過酸化水素水に不溶であるため、エッチング

13

されることはない。また、ハフニウム窒化膜113が非常に薄い(10nm程度)ため、従来技術の場合とは異なり、N型領域までハフニウム窒化膜113が深くエッチングされることはない。つまり、本例ではハフニウム窒化膜113の厚さが10nm程度であるで、横方向のエッチング量Eも10nm程度となる。したがって、素子間距離Dが20nm程度以上であれば、従来技術の問題点を解消することができ、大幅な微細化を行うことが可能となる(図3(h))。

【0054】次に、レジスト114除去した後、仕事関数が5eV程度の貴金属膜として、例えばコバルト膜115を全面に堆積する。コバルトの成膜は、スパッタ法を用いて行うか、或いは、 $\text{Co}(\text{CO})_4$ 、 $\text{Co}_2(\text{CO})_8$ 、 CoF_2 、 CoCl_2 又は CoBr_2 をガスソースとしたCVD法を用いて行う。その後、コバルト膜115、ハフニウム窒化膜113及びハフニウム酸化膜112の平坦化を、CMP技術により、層間絶縁膜110が露出するまで行う。このときの主要部の平面図を図4(c)に模式的に示す(図3(i))。

【0055】以上の工程により、ゲート電極構造として、N型はハフニウム窒化膜113とコバルト膜115の積層構造からなり、P型はコバルト膜115の単層構造からなるC-MISトランジスタが完成する。

【0056】本実施形態によれば、N型MISトランジスタのゲート絶縁膜に接する部分の仕事関数をP型MISトランジスタのゲート絶縁膜に接する部分の仕事関数よりも小さくすることができるため(上述した例では、ハフニウム窒化膜113は仕事関数が4eV程度、コバルト膜115は仕事関数が5eV程度)、N型及びP型MISトランジスタそれぞれのゲート電極の仕事関数を最適化して、両トランジスタのしきい値電圧を最適化することが可能である。

【0057】また、本実施形態では、P型領域のハフニウム窒化膜113を除去する際に、ハフニウム窒化膜113の膜厚が極めて薄いため、N型領域までハフニウム窒化膜113が深くエッチングされることを避けることができ、大幅な微細化を行うことが可能となる。さらに、本実施形態では、N型MISトランジスタのゲート電極は、ハフニウム窒化膜113上に低抵抗のコバルト膜115が形成されているため、仕事関数の最適化と低抵抗化を両立させることができる。

【0058】図5は、本実施形態及び従来技術によるN型及びP型MISトランジスタについて、しきい値(しきい電圧)の素子分離距離(素子間距離、図4に示した距離D)依存性を示したものである。

【0059】P型MISトランジスタについては、本実施形態及び従来技術ともに、素子分離距離Dが400nm程度まで、しきい値が一定かつ低電圧(-0.2V程度)となっている。これに対して、N型MISトランジスタについては、従来技術では、素子間距離Dが300

14

nm以下でしきい値が上昇し始めている。これは、N型MISトランジスタの一部が仕事関数5.0eV程度の金属で構成されているためである。これに対して本実施形態では、素子間距離Dを40nmまで微細化しても、しきい値は一定であることがわかる。

【0060】上述した例では、N型MISトランジスタのゲート電極がハフニウム窒化膜とコバルト膜の積層構造で、P型MISトランジスタのゲート電極がコバルト膜の単層構造の場合について説明した。本実施形態は、このようなゲート電極構造に限らず、種々の変形が可能である。そこで、いくつかの変形例について、以下説明する。

【0061】本実施形態における基本的なゲート構造は、構造A、構造B及び構造Cの3種類ある。構造Aについては図6が、構造Bについては図7が、構造Cについては図8が、それぞれ対応している。これらの構造A、構造B及び構造Cについては、これらの構造のバリエーションとして、例えば図9に示したような構造(構造Dとする)も含まれる。なお、図6～図9では、ゲート絶縁膜及びゲート電極についてのみ模式的に示している。

【0062】構造A(図6参照)は、N型MISトランジスタのゲート電極がゲート絶縁膜F0上に形成された第1の金属含有膜F1及び第2の金属含有膜F2からなり、P型MISトランジスタのゲート電極がゲート絶縁膜F0上に形成された第2の金属含有膜F2からなり、第1の金属含有膜F1の仕事関数が第2の金属含有膜F2の仕事関数よりも小さい。

【0063】構造Aの製造方法は、N型及びP型MISトランジスタ用の双方のゲート形成領域のゲート絶縁膜F0上に第1の金属含有膜F1を形成する工程と、P型MISトランジスタ用のゲート形成領域の第1の金属含有膜F1を除去する工程と、N型MISトランジスタ用のゲート形成領域の第1の金属含有膜F1上及びP型MISトランジスタ用のゲート形成領域のゲート絶縁膜F0上に第2の金属含有膜F2を形成することにより、N型及びP型MISトランジスタの双方のゲート形成領域の凹部を埋め込む工程とからなる。

【0064】構造B(図7参照)は、P型MISトランジスタのゲート電極がゲート絶縁膜F0上に形成された第1の金属含有膜F1及び第2の金属含有膜F2からなり、N型MISトランジスタのゲート電極がゲート絶縁膜F0上に形成された第2の金属含有膜F2からなり、第1の金属含有膜F1の仕事関数が第2の金属含有膜F2の仕事関数よりも小さい。

【0065】構造Bの製造方法は、N型及びP型MISトランジスタ用の双方のゲート形成領域のゲート絶縁膜F0上に第1の金属含有膜F1を形成する工程と、N型MISトランジスタ用のゲート形成領域の第1の金属含有膜F1を除去する工程と、P型MISトランジスタ用

のゲート形成領域の第1の金属含有膜F1上及びN型MISトランジスタ用のゲート形成領域のゲート絶縁膜F0上に第2の金属含有膜F2を形成することにより、N型及びP型MISトランジスタの双方のゲート形成領域の凹部を埋め込む工程とからなる。

【0066】構造Aの具体的な例については、図1～図3で示した通りである。また、構造Bについては、図1～図3に示した製造方法の大部分を流用することができる（各構成材料には構造Bに適したものをを用いる）。主要な変更点は、図3（g）の工程において、N型MISトランジスタ領域の代わりにP型MISトランジスタ領域をレジストでマスクする点である。

【0067】構造C（図8参照）は、N型MISトランジスタのゲート電極がゲート絶縁膜F0上に形成された第1の金属含有膜F1及び第2の金属含有膜F2からなり、P型MISトランジスタのゲート電極がゲート絶縁膜F0上に形成された第3の金属含有膜F3及び第2の金属含有膜F2からなり、第1の金属含有膜F1の仕事関数が第3の金属含有膜F3の仕事関数よりも小さい。

【0068】構造Cの製造方法は（図10参照）、N型及びP型MISトランジスタ用の双方のゲート形成領域のゲート絶縁膜F0上に第1の金属含有膜F1を形成する工程と、P型MISトランジスタ用のゲート形成領域の第1の金属含有膜F1を除去する工程と、N型MISトランジスタ用のゲート形成領域の第1の金属含有膜F1上及びP型MISトランジスタ用のゲート形成領域のゲート絶縁膜F0上に第3の金属含有膜F3を形成する工程と、N型MISトランジスタ用のゲート形成領域の第3の金属含有膜F3を除去する工程と、N型MISトランジスタ用のゲート形成領域の第1の金属含有膜F1上及びP型MISトランジスタ用のゲート形成領域の第3の金属含有膜F3上に第2の金属含有膜F2を形成することにより、N型及びP型MISトランジスタの双方のゲート形成領域の凹部を埋め込む工程とからなる。

【0069】なお、構造A、構造B及び構造Cには、第2の金属含有膜F2が2種類以上の積層膜である構造（構造D）も含まれる。図9の例では、図6の例に対応して、N型及びP型MISトランジスタの第2の金属含有膜F2が、金属含有膜F2a及びF2bの積層膜によって構成されている。

【0070】以下、上述した構造A～構造Dについて、さらに説明する。

【0071】（1）構造A（図6参照）において、第1の金属含有膜F1は、N型MISトランジスタのしきい値を決めるバリアメタルとして、第2の金属含有膜F2は、P型MISトランジスタのしきい値を決めるバリアメタルとして、それぞれ用いられる。

【0072】第1の金属含有膜F1には、N型MISトランジスタのしきい値を最適化できる仕事関数（4.6 eV以下、望ましくは4 eV程度）を有し、かつダメー

ジのないエッチング（ウエットエッチング或いはラジカル原子やラジカル分子によるドライエッチング）を行うことが可能なものを用いるようにする。代表的な材料には、HfN及びZrNがあげられる。これらは、仕事関数が4 eV程度であると予想され、N型のバリアメタルとして適している。

【0073】第2の金属含有膜F2には、P型MISトランジスタのしきい値を最適化できる仕事関数（4.6 eV以上、望ましくは5 eV程度）を有し、かつゲート電極を低抵抗化できる抵抗率の低いものを用いる。貴金属系の材料は、仕事関数が5 eV程度のものが多く、第2の金属含有膜に適している。抵抗率の観点からは、Coが約 $5 \mu\Omega \cdot \text{cm}$ 、Niが約 $6 \mu\Omega \cdot \text{cm}$ 、Ptが約 $10 \mu\Omega \cdot \text{cm}$ である。現在ゲート電極として用いられているW、 CoSi_2 の抵抗率は、それぞれ約 $5 \mu\Omega \cdot \text{cm}$ 、約 $20 \mu\Omega \cdot \text{cm}$ であり、Co、Ni及びPt、特にCoは第2の金属含有膜の材料として適している。

【0074】ゲート絶縁膜F0については、特に限定されないが、バリアメタルがHfNである場合には、HfO₂を用いることが望ましい。HfNとHfO₂との界面では熱反応が起こり難いからである。

【0075】（2）構造B（図7参照）において、第1の金属含有膜F1は、P型MISトランジスタのしきい値を決めるバリアメタルとして、第2の金属含有膜F2は、N型MISトランジスタのしきい値を決めるバリアメタルとして、それぞれ用いられる。

【0076】第1の金属含有膜F1には、P型MISトランジスタのしきい値を最適化できる仕事関数（4.6 eV以上、望ましくは5 eV程度）を有し、かつダメージのないエッチング（ウエットエッチング或いはラジカル原子やラジカル分子によるドライエッチング）を行うことが可能なものを用いるようにする。代表的な材料には、 WN_x 及び WSi_xN_y があげられる。

【0077】第2の金属含有膜F2には、N型MISトランジスタのしきい値を最適化できる仕事関数（4.6 eV以下、望ましくは4 eV程度）を有し、かつゲート電極を低抵抗化できる抵抗率の低いものを用いる。代表的な材料としては、Al（或いはAlを含む合金）があげられる。

【0078】（3）構造C（図8参照）において、第1の金属含有膜F1はN型MISトランジスタのしきい値を決めるバリアメタルとして、第3の金属含有膜F3はP型MISトランジスタのしきい値を決めるバリアメタルとしてそれぞれ用いられ、第2の金属含有膜F2は低抵抗の電極材料として用いられる。

【0079】第1の金属含有膜F1には、N型MISトランジスタのしきい値を最適化できる仕事関数（4.6 eV以下、望ましくは4 eV程度）を有し、かつダメージのないエッチング（ウエットエッチング或いはラジカル原子やラジカル分子によるドライエッチング）を行う

ことが可能なもの、代表的にはHfNを用いる。第3の金属含有膜F3には、P型MISトランジスタのしきい値を最適化できる仕事関数(4.6eV以上、望ましくは5eV程度)を有し、かつダメージのないエッチングを行うことが可能なもの、代表的にはWN_xを用いる。第2の金属含有膜F2には、低抵抗である材料、代表的にはAl(或いはAlを含む合金)を用いる。

【0080】(4)構造D(図9参照)における構造A或いは構造Bに対応した構造では、積層膜である第2の金属含有膜F2として、下層側の膜F2aについてはN型又はP型MISトランジスタのしきい値を最適化できる仕事関数(N型については4.6eV以下、望ましくは4eV、P型については4.6eV以上、望ましくは5eV)を有していることが、上層側の膜F2bには低抵抗であることが求められる。

【0081】構造Dにおける構造Cに対応した構造では、第1の金属含有膜F1及び第3の金属含有膜F3が第2の金属含有膜F2の下にあるため、第2の金属含有膜の下層側の膜をトランジスタのしきい値を最適化するために用いるというメリットはないが、上層側からのゲート絶縁膜への金属の拡散を抑制することができるというメリットがある。

【0082】代表的には、構造Aに対応した構造Dにおいて、第1の金属含有膜F1をHfN、第2の金属含有膜の下層側F2aをRuO₂、第2の金属含有膜の上層側F2bをAlで構成したものがあげられる。

【0083】(5)構造A、構造B及び構造Cにおいて、第1の金属含有膜F1には、導電体である金属化合物を用いることが望ましい。N型MISトランジスタ用のバリアメタルとしては、ハフニウム窒化物、ジルコニウム窒化物、チタン窒化物、タンタル窒化物、タンタル窒化物、ニオブ窒化物があげられる。P型MISトランジスタ用のバリアメタルとしては、タングステン窒化物、タングステン珪化窒化物があげられる。

【0084】(6)構造A及び構造Cにおいて、第2の金属含有膜F2には、プラチナ、パラジウム、ニッケル、コバルト、ロジウム、ルテニウム、レニウム、イリジウム、金、銀、銅、或いはこれらの金属を含む合金を含む膜を用いることが望ましい。

【0085】(7)構造A、構造B及び構造Cにおいて、第2の金属含有膜F2には、導電体である金属化合物を含む膜を用いることが望ましい。

【0086】金属化合物としては、第1に、金属酸化物(ルテニウム酸化物、イリジウム酸化物、レニウム酸化物、プラチナ酸化物、ロジウム酸化物)があげられる。貴金属系酸化物は導電体であることが多く、P型MISトランジスタに適した仕事関数を得やすいためである。

【0087】金属化合物としては、第2に、金属珪化物(プラチナ珪化物、パラジウム珪化物、ニッケル珪化物)があげられる。これらは、N型或いはP型MISト

ランジスタ(特にP型MISトランジスタ)に適した仕事関数を得ることが可能である。

【0088】金属化合物としては、第3に、金属窒素化合物(ハフニウム窒化物、ジルコニウム窒化物、チタン窒化物、タンタル窒化物、ニオブ窒化物)があげられる。これらは、N型MISトランジスタに適した仕事関数を得ることが可能である。

【0089】(8)構造Dにおいて、第2の金属含有膜F2の少なくとも最下層の膜が金属化合物であることが望ましい。金属化合物としては、金属酸化物(ルテニウム酸化物、イリジウム酸化物、レニウム酸化物、プラチナ酸化物、ロジウム酸化物)、金属珪化物(プラチナ珪化物、パラジウム珪化物、ニッケル珪化物)、金属窒素化合物(ハフニウム窒化物、ジルコニウム窒化物、チタン窒化物、タンタル窒化物、ニオブ窒化物、タングステン窒化物、タングステン窒化物)、タングステン窒化珪化物があげられる。

【0090】(9)構造Cにおいて、第3の金属含有膜F3には、タングステン窒化物或いはタングステン窒化珪化物を用いることが望ましい。

【0091】(10)構造A～構造Dにおいて、ゲート絶縁膜F0としては、HfO₂、ZrO₂、TiO₂、シリコン窒化膜、Al₂O₃、Ta₂O₅、Nb₂O₅、Y₂O₃、CeO₂、イットリウムを含むジルコニウム酸化膜、バリウムとストロンチウムとチタンと酸素の化合物膜、鉛とジルコニウムとチタンと酸素の化合物膜、シリコン酸化膜があげられる。

【0092】HfO₂、ZrO₂、TiO₂、Ta₂O₅、Nb₂O₅、Y₂O₃、CeO₂、イットリウムを含むジルコニウム酸化膜の成膜法には、それぞれHfCl₄、ZrCl₄、TiCl₄、TaCl₅、NbCl₅、Y(Thd)₃(ここで、Thdとは、2, 2, 6, 6-テトラメチル-3, 5-ヘプタネジオネートを意味する。)、Ce(Thd)₄、Zr(Thd)₄とY(Thd)₃の混合ガスに、O₂ガスを混入したCVD法により直接成膜する方法がある。

【0093】また、O₂ガスの代わりに例えばNH₃等を用いて、先ずそれぞれの金属窒化物、すなわちHfN、ZrN、TiN、Ta₂N、NbN、YN、CeN、イットリウムを含むジルコニウム窒化膜を成膜し、その後熱酸化によってそれぞれの金属窒化物を酸化物にするようにしてもよい。この熱酸化方法を用いる場合には、窒素が膜中に残留しないように、5nm以下の窒化物を熱酸化するか、5nm以下の窒化物堆積/酸化を複数回繰り返すようにすることが望ましい。厚い窒化膜を熱酸化すると、酸化温度が500℃以下の低温の場合に、新たに酸化された層からの生成物である窒素が膜の内部から外部に脱出できなくなり、膜中に残留してしまうことが見出されたためである。

【0094】また、上述した金属酸化物を成膜する前

19

に、熱酸化によるシリコン酸化膜、NOガス中での酸化等を用いた酸化窒化膜、或いはCVD法等によるシリコン窒化膜をシリコン基板上に成膜し、その後に上述した金属酸化膜の成膜を行うことにより、積層構造のゲート絶縁膜F0を作製してもよい。

【0095】(11)ゲート電極の最下層側の膜として、HfN、ZrN、TiNを用いる場合、これらのエッチングには過酸化水素水を用いることができる。この過酸化水素水を用いたエッチング時に、ゲート絶縁膜F0がエッチングされないことが必要である。ゲート絶縁膜F0として、上述したHfO₂、ZrO₂、TiO₂、Si₃N₄、Al₂O₃、Ta₂O₅、Nb₂O₅、Y₂O₃、CeO₂、イットリウムを含むジルコニウム酸化膜、バリウムとストロンチウムとチタンと酸素の化合物膜、鉛とジルコニウムとチタンと酸素の化合物膜、シリコン酸化膜を用いる場合には、これらは過酸化水素水に不溶であるため、問題は生じない。

【0096】ゲート電極の最下層側の膜として、Ta₂N、Nb₂Nを用いる場合、これらは塩酸と硝酸の混合液に可溶である。したがって、ゲート絶縁膜F0には、この混合液に不溶であるHfO₂、ZrO₂、TiO₂、Si₃N₄、シリコン酸化膜、窒素を1%以上含有するシリコンオキシナイトライド等を用いればよい。

【0097】ゲート電極の最下層側の膜としてアルミニウムを用いる場合、アルミニウムは磷酸と硝酸の混合液に可溶である。したがって、ゲート絶縁膜F0には、この混合液に不溶なHfO₂、ZrO₂、TiO₂、Ta₂O₅、Nb₂O₅、イットリウムを含むジルコニウム酸化膜、バリウムとストロンチウムとチタンと酸素の化合物膜、鉛とジルコニウムとチタンと酸素の化合物膜、シリコン酸化膜を用いればよい。

【0098】(12)ゲート電極の最下層側の膜として上述した金属窒化物(HfN、ZrN、TiN、Ta₂N、Nb₂N)を用いた場合、金属窒化物膜とゲート絶縁膜との組み合わせ方は、上述したエッチング耐性の他に、次の条件を満たすことが望ましい。すなわち、金属窒化物を構成する金属元素からなる金属酸化物のGibbsの自由エネルギーが、ゲート絶縁膜に用いる金属酸化膜或いはシリコン酸化膜のGibbsの自由エネルギー以下となるようにする。このようにすると、金属窒化物がゲート絶縁膜を還元する可能性が少なくなるためである。具体的には、ゲート絶縁膜がHfO₂の場合には金属窒化物としてHfN、ZrN、TiN、Ta₂N、Nb₂Nを用いることが望ましく、ゲート絶縁膜がTa₂O₅の場合には金属窒化物としてTa₂N、Nb₂Nを用いることが望ましい。

【0099】(実施形態2)以下、本発明の第2の実施形態に係る製造工程の一例について、図11(a)～図14(1)を参照して説明する。

【0100】まず、シリコン基板201の表面を熱酸化

20

してシリコン酸化膜202を形成する。その後、CVD法を用いて、シリコン酸化膜202上にシリコン窒化膜203を形成する(図11(a))。

【0101】次に、シリコン窒化膜203上にフォトリジスト204のパターンを形成する。続いて、このレジストパターン204をマスクにして、シリコン窒化膜203、シリコン酸化膜202及びシリコン基板201を異方性エッチングを用いてパターニングすることにより、素子分離溝を形成する(図11(b))。

【0102】次に、フォトリジスト204を灰化して除去する。その後、露出している素子分離溝の表面を、例えば950℃、HCl/O₂雰囲気中で熱酸化することにより、シリコン酸化膜205を形成する。続いて、CVD法を用いてシリコン酸化膜206を全面に堆積し、素子分離溝を埋め込む。さらに、CMP法を用いてシリコン酸化膜206をシリコン窒化膜203の表面が露出するまで研磨する(図11(c))。

【0103】次に、熱磷酸を用いてシリコン窒化膜203を選択的に除去する。続いて、希フッ酸溶液を用いてシリコン酸化膜202を除去する。この際に、素子分離溝の上部のシリコン酸化膜206及びシリコン酸化膜205が多少エッチングされ、素子分離溝の上部エッジ近傍のシリコン基板201の表面が露出する(図12(d))。

【0104】次に、例えば900℃、HCl/O₂雰囲気中で熱酸化を行い、ダミー絶縁膜となるシリコン酸化膜207を形成する。ダミー絶縁膜207は、MISトランジスタ形成領域上だけでなく、素子分離溝の上部エッジ上にも形成されるため、シリコン基板の露出面はなくなる(図12(e))。

【0105】次に、全面にポリシリコン膜208を形成した後、このポリシリコン膜208をパターニングすることにより、ダミーゲートを形成する(図12(f))。

【0106】次に、ポリシリコン膜208からなるダミーゲートをマスクにして、シリコン基板201の表面に不純物イオンを注入する。さらに、高温のアニール処理を行なうことにより、ソース・ドレイン拡散層209をダミーゲートに対して自己整合的に形成する。続いて、全面に層間絶縁膜210を堆積し、この層間絶縁膜210をCMP法を用いてポリシリコン膜208が露出するまで平坦化する。その後、露出したポリシリコン膜208を、例えばCF₄/O₂ガスを用いたダウンフロー技術で除去する(図13(g))。

【0107】次に、N型及びP型MISトランジスタそれぞれのしきい値電圧の調整を行なうために、露出したダミー絶縁膜207を介して、シリコン基板201中にそれぞれN型及びP型の不純物をイオン注入法で導入する。続いて、ダミー絶縁膜207を希フッ酸溶液を用いて除去することにより、溝(凹部)211が形成され

21

る。その後、ゲート絶縁膜として、 Ta_2O_5 膜 212 を形成する。さらに、P型MISトランジスタのゲート電極材料として、ルテニウム (Ru) 膜又はパラジウム (Pd) 膜 213 を、膜厚10nm程度形成する (図13 (h))。

【0108】次に、プラズマCVD法により、全面にシリコン窒化膜 214 を10nmの膜厚で形成する。このシリコン窒化膜 214 は、後の工程で形成されるインジウム (In) 又はスズ (Sn) の拡散を防止するための拡散防止膜として用いられる。その後、P型MISトランジスタ領域上にフォトレジスト 215 のパターンを形成する (図13 (i))。

【0109】次に、露出したN型MISトランジスタ領域のシリコン窒化膜 214 を、ダウンフロー法を使って除去する。フォトレジスト 215 を灰化处理によって除去した後、N型MISトランジスタのゲート電極材料として、全面にインジウム (In) 膜又はスズ (Sn) 膜を1~2nmの膜厚で形成する (図14 (j))。

【0110】次に、200℃~400℃程度の中低温アニールを行う。P型MISトランジスタ領域にはシリコン窒化膜 214 が形成されているため、このアニール処理により、N型MISトランジスタ領域にのみ選択的にインジウム又はスズが拡散する。インジウム又はスズは、ルテニウム膜又はパラジウム膜 213 の結晶粒界を通して拡散する。これにより、インジウム又はスズが、ゲート絶縁膜となる Ta_2O_5 膜 212 とルテニウム膜又はパラジウム膜 213 との界面に析出する。その結果、N型MISトランジスタのゲート電極となるインジウム膜又はスズ膜 216 が形成される (図14 (k))。

【0111】次に、P型MISトランジスタ領域上のインジウム膜又はスズ膜 216 を選択的に除去し、さらにシリコン窒化膜 214 をダウンフロー法を使って除去する。その後、タングステン膜 217 をN型及びP型MISトランジスタのゲート電極領域の溝に埋め込む。さらに、CMP法を用いて、溝外のルテニウム膜又はパラジウム膜 213、インジウム膜又はスズ膜 216、 Ta_2O_5 膜 212 及びタングステン膜 217 を除去し、溝内にのみタングステン膜 217 を残す。これにより、P型MISトランジスタではルテニウム膜又はパラジウム膜 213 が最下層に形成されたゲート電極が、N型MISトランジスタではインジウム膜又はスズ膜 216 が最下層に形成されたゲート電極が構成される。以降、層間絶縁膜 218、配線 219 等を形成し、半導体集積回路が完成する (図14 (l))。

【0112】なお、上述した例では、P型MISトランジスタのゲート電極を構成する金属M1 (上述した例では、ルテニウム又はパラジウム) 中をN型MISトランジスタのゲート電極を構成する金属M2 (上述した例では、インジウム又はスズ) を拡散させることにより、金

22

属M2をN型MISトランジスタのゲート絶縁膜界面に析出させるようにしたが、金属M2を金属M1中に拡散させることにより金属M1と金属M2との合金を形成し、この合金によってN型MISトランジスタのゲート電極を構成するようにしてもよい (変形例1とする)。

【0113】また、上述した例では、P型MISトランジスタのゲート電極を構成する金属M1中をN型MISトランジスタのゲート電極を構成する金属M2を拡散させる際に、シリコン窒化膜 214 を拡散のマスキングとして用いることにより、金属M2を選択的にN型MISトランジスタ領域に拡散させるようにしたが、シリコン窒化膜 214 は形成せずに、N型MISトランジスタ領域の金属M1上にのみ金属M2を選択的に形成し、上述した例と同様に、N型MISトランジスタ領域でのみ選択的に金属M2を金属M1中に拡散させるようにしてもよい (変形例2とする)。

【0114】さらに、上述した基本例及び変形例1、2は、金属M2をゲート絶縁膜界面に析出させる、或いは金属M1と金属M2との合金を形成するという方法を、N型MISトランジスタのゲート電極に対して行っているが、同様の方法をP型MISトランジスタのゲート電極に対して行ってもよい。

【0115】本実施形態によれば、N型MISトランジスタのゲート絶縁膜に接する部分の仕事関数をP型MISトランジスタのゲート絶縁膜に接する部分の仕事関数よりも小さくすることができるため、N型及びP型MISトランジスタそれぞれのゲート電極の仕事関数を最適化して、両トランジスタのしきい値電圧を最適化することが可能である。また、本実施形態では、ゲート電極形成用の溝内に形成された金属膜を従来のようにエッチング除去しないため、ゲート絶縁膜の信頼性の低下を抑制することが可能である。

【0116】(実施形態3) 以下、本発明の第3の実施形態に係る第1の例について、その製造工程の一例を図15 (a) ~ 図17 (h) を参照して説明する。

【0117】まず、シリコン基板 301 上に素子分離 302 を形成し、続いて、N型MISトランジスタ領域にP型のウエル拡散層 303 を、P型MISトランジスタ領域にN型のウエル拡散層 304 を形成する (図15 (a))

次に、露出しているシリコン基板 301 の表面を5nm程度酸化して、ダミー絶縁膜となるシリコン酸化膜 305 を形成する。その後、ダミーゲートとなるポリシリコン膜 306 を堆積し、これをゲート電極の形状にパターンニングする。続いて、ダミーゲートとなるポリシリコン膜 306 をマスクにして、N型領域に砒素を、P型領域に硼素をイオン注入し、ソース・ドレイン拡散層 307 となる浅い不純物拡散層を形成する。その後、シリコン窒化膜 308 を堆積し、これを異方性エッチングすることにより、側壁絶縁膜を形成する。続いて、この側壁絶縁

23

膜308及びポリシリコン膜306をマスクにして、N型領域に砒素を、P型領域に硼素をイオン注入し、ソース・ドレイン拡散層309となる深い不純物拡散層を形成する(図15(b))。

【0118】次に、全面に層間絶縁膜310としてシリコン酸化膜を堆積する。その後、CMP法を用いて、シリコン酸化膜310をポリシリコン膜306が露出するまで平坦化する(図15(c))。

【0119】次に、ケミカルドライエッチング等の等方性エッチング技術を用いて、ポリシリコン膜306を除去する。続いて、露出したシリコン酸化膜305を希フッ酸処理等によりエッチング除去し、N型及びP型MISトランジスタ領域の双方にゲート電極形成用の溝311を形成する(図16(d))。

【0120】次に、熱酸化処理によってゲート電極形成用の溝311底部のシリコン基板301を酸化し、シリコン酸化膜312からなるゲート絶縁膜を形成する。続いて、N型MISトランジスタのゲート電極材料として、CVD法によりタングステンシリサイド(WSi_2)膜313を全面に堆積する。その後、CMP法によりゲート電極形成用の溝311の外部に堆積されたタングステンシリサイド膜313を除去し、ゲート電極形成用の溝311内のみタングステンシリサイド膜313を残置させる(図16(e))。

【0121】次に、全面にシリコン窒化膜314を堆積し、さらにフォトリソグラフィ及びエッチング技術によって、N型MISトランジスタ領域内のみシリコン窒化膜315を残置させる。続いて、スパッタ法等により、パラジウム(Pd)膜315を全面に堆積する(図16(f))。

【0122】次に、600℃、1分間程度のアニール処理を行う。これにより、P型MISトランジスタ領域のゲート電極部分に埋め込まれているタングステンシリサイド膜313がパラジウム膜315と反応する。その結果、もともとタングステンシリサイド膜313の存在した領域にパラジウムシリサイド(Pd_2Si)膜316が形成され、このパラジウムシリサイド膜316の上部のパラジウム膜中にタングステンが排出される。N型MISトランジスタ領域では、シリコン窒化膜314形成されているため、タングステンシリサイド膜313はパラジウムシリサイド膜316に置換されない。その後、CMP等により、ゲート電極形成用の溝の外部に残った金属及びシリコン窒化膜314を除去する。これにより、P型MISトランジスタのゲート電極がパラジウムシリサイド膜316によって形成される(図17(g))。

【0123】次に、全面に層間絶縁膜317となるシリコン酸化膜を堆積する。続いて、MISトランジスタのソース・ドレイン及びゲート電極に達するコンタクト用の穴を、層間絶縁膜317及び310に形成する。その

24

後、配線318用の金属膜を堆積して、これをパターンニングすることにより、N型及びP型のMISトランジスタトランジスタが完成する(図17(h))。

【0124】なお、上述した例では、N型MISトランジスタのゲート電極材料としてタングステンシリサイド(WSi_2)膜を用いたが、タングステンシリサイドの代わりに、モリブデンシリサイド($MoSi_2$)、タンタルシリサイド($TaSi_2$)、ニオブシリサイド($NbSi_2$)或いはクロムシリサイド($CrSi_2$)等のシリサイドを用いることも可能である。

【0125】また、上述した例では、P型MISトランジスタ領域のタングステンシリサイド膜上にパラジウム(Pd)膜を形成し、熱処理によってパラジウムをタングステンシリサイド膜と反応させることにより、タングステンシリサイドをパラジウムシリサイド(Pd_2Si 、 $PdSi$)に置換するようにしたが、パラジウムの代わりにニッケル(Ni)或いはプラチナ(Pt)を用い、ニッケルシリサイド($NiSi$ 、 $NiSi_2$)或いはプラチナシリサイド(Pt_2Si 、 $PtSi$)等のシリサイドに置換することも可能である。

【0126】また、上述した例(以下の第2及び第3の例でも同様)では、ゲート絶縁膜として熱処理によって得られたシリコン酸化膜を用いるようにしたが、CVD法等によって形成した Ta_2O_5 膜を用いるようにしてもよい。

【0127】次に、本発明の第3の実施形態に係る第2の例について、その製造工程の一例を図18(a)～図18(c)を参照して説明する。

【0128】なお、途中の工程(図15(a)～図16(e)の工程)までは上述した第1の例と同様であるため、本例では図16(e)の工程よりも後の工程について説明する。

【0129】図16(e)の工程の後、レジスト321でN型MISトランジスタ領域をマスクした後、イオン注入法によって、P型MISトランジスタ領域のタングステンシリサイド膜313にのみ選択的にゲルマニウムイオン(Ge^+)をイオン注入し、ゲルマニウムを含むタングステンシリサイド膜313aとする。このとき、タングステンシリサイド膜313に導入するゲルマニウムイオンの濃度は、タングステンシリサイド中におけるゲルマニウムの固溶限以上の濃度、例えば $1 \times 10^{17} cm^{-3}$ 程度とする(図18(a))。

【0130】次に、レジスト322でP型MISトランジスタ領域をマスクし、イオン注入法によって、N型MISトランジスタ領域のタングステンシリサイド膜313にのみ選択的にインジウムイオン(In^+)をイオン注入し、インジウムを含むタングステンシリサイド膜313bとする。このとき、タングステンシリサイド膜313に導入するインジウムイオンの濃度は、タングステンシリサイド中におけるインジウムの固溶限以上の濃

25

度、例えば $1 \times 10^{17} \text{cm}^{-3}$ 程度とする（図18（b））。

【0131】次に、800℃、1分程度の熱処理を行うことにより、タングステンシリサイド膜313中に注入されたゲルマニウム及びインジウムが、タングステンシリサイド膜313とゲート絶縁膜であるシリコン酸化膜312との界面に析出する。その結果、P型MISトランジスタではゲルマニウム膜323及びタングステンシリサイド膜313の積層構造によってゲート電極が形成され、N型MISトランジスタではインジウム膜324及びタングステンシリサイド膜313の積層構造によ

ってゲート電極が形成される（図18（c））。

【0132】最後に、第1の例と同様に、層間絶縁膜を堆積してコンタクト用の穴を開け、さらに配線を形成することにより、N型及びP型のMISトランジスタが完成する。

【0133】なお、上述した例では、ゲート電極用の溝の中に予め形成しておく材料としてタングステンシリサイド（ WSi_2 ）膜を用いたが、タングステンシリサイドの代わりに、モリブデンシリサイド（ MoSi_2 ）、タンタルシリサイド（ TaSi_2 ）、ニオブシリサイド（ NbSi_2 ）或いはクロムシリサイド（ CrSi_2 ）を用いることも可能である。

【0134】また、上述した例では、ゲート絶縁膜界面に析出させる材料として、P型MISトランジスタではゲルマニウム（Ge）、N型MISトランジスタではインジウム（In）を用いたが、ゲルマニウム、インジウム、アンチモン（Sb）、プラチナ（Pt）、パラジウム（Pd）等の中から適当な材料を選択して、P型及びN型の両トランジスタで別々の材料を析出させるようにしてもよい。また、これらの材料をP型又はN型の一方のトランジスタについてのみ析出させ（一方のトランジスタについてのみイオン注入を行い）、他方のトランジスタではももとのゲート電極材料（上述した例ではタングステンシリサイド）をそのままゲート電極として用いるようにしてもよい。

【0135】さらに、上述した例では、イオン注入した物質を熱処理によってゲート絶縁膜界面に析出させるようにしたが、P型及びN型MISトランジスタのゲート電極領域に別々の物質をイオン注入し、熱処理等によってイオン注入した各物質とゲート電極領域にもともと形成されていたゲート電極材料との反応物を形成し、N型MISトランジスタの反応物の仕事関数がP型MISトランジスタの反応物の仕事関数よりも小さくなるようにしてもよい。

【0136】次に、本発明の第3の実施形態に係る第3の例について、その製造工程の一例を図19（a）～図19（c）を参照して説明する。

【0137】なお、途中の工程（図15（a）～図16（d）の工程）までは上述した第1の例と同様であるた

26

め、本例では図16（d）の工程よりも後の工程について説明する。

【0138】図16（e）の工程の後、ゲート電極形成用の溝に、スパッタ法とCMP法とを用いて、P型MISトランジスタのゲート電極材料として、ニッケル（Ni）膜331を埋め込む（図19（a））。

【0139】次に、全面にアモルファスシリコン（a-Si）膜332をスパッタ法等によって堆積した後、N型MISトランジスタ領域上以外の領域のアモルファスシリコン膜332をフォトリソグラフィ法とドライエッチング法等を用いて除去する（図19（b））。

【0140】次に、400℃、1分程度の熱処理を加えることにより、N型MISトランジスタ領域のゲート電極部分において、ニッケル膜331とアモルファスシリコン膜332を反応させ、ニッケルシリサイド（ NiSi ）膜333を形成する。その後、反応に寄与しなかったアモルファスシリコン膜332を、ケミカルドライエッチング等の等方性エッチングによって除去する。このようにニッケル膜331をニッケルシリサイド膜333に変化させることにより、材料の仕事関数を5.0eV程度から4.36eV程度にまで低下させることができる（図19（c））。

【0141】最後に、第1の例と同様に、層間絶縁膜を堆積してコンタクト用の穴を開け、さらに配線を形成することにより、N型及びP型のMISトランジスタトランジスタが完成する。

【0142】なお、上述した例では、P型MISトランジスタのゲート電極をニッケル（Ni）、N型MISトランジスタのゲート電極をニッケルシリサイド（ NiSi 、 NiSi_2 ）としたが、コバルト（Co）とコバルトシリサイド（ CoSi_2 ）、クロム（Cr）とクロムシリサイド（ CrSi_2 ）、モリブデン（Mo）とモリブデンシリサイド（ MoSi_2 ）等で形成してもよい。

【0143】本実施形態によれば、N型MISトランジスタのゲート絶縁膜に接する部分の仕事関数をP型MISトランジスタのゲート絶縁膜に接する部分の仕事関数よりも小さくすることができるため、N型及びP型MISトランジスタそれぞれのゲート電極の仕事関数を最適化して、両トランジスタのしきい値電圧を最適化することが可能である。また、本実施形態では、ゲート電極形成用の溝内に形成された金属膜を従来のようにエッチング除去しないため、ゲート絶縁膜の信頼性の低下を抑制することが可能である。

【0144】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0145】

【発明の効果】本発明によれば、N型及びP型MISトランジスタそれぞれのゲート電極の仕事関数を最適化す

ることにより、N型及びP型MISトランジスタのしきい値電圧を最適化することが可能である。また、半導体装置の微細化、低抵抗化を達成することが可能であり、さらにゲート電極等の信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図4】本発明の第1の実施形態に係る半導体装置の製造方法によって得られる効果について示した平面図。

【図5】本発明の第1の実施形態に係る半導体装置の製造方法によって得られるMISトランジスタについて、そのしきい値の素子間距離依存性を従来技術と対比して示した図。

【図6】本発明の第1の実施形態に係る半導体装置の基本構成の一例を模式的に示した図。

【図7】本発明の第1の実施形態に係る半導体装置の基本構成の他の例を模式的に示した図。

【図8】本発明の第1の実施形態に係る半導体装置の基本構成の他の例を模式的に示した図。

【図9】本発明の第1の実施形態に係る半導体装置の基本構成の他の例を模式的に示した図。

【図10】図8に示した基本構成を得るための主要な製造工程について示した図。

【図11】本発明の第2の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図12】本発明の第2の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図13】本発明の第2の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図14】本発明の第2の実施形態に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図15】本発明の第3の実施形態に係る半導体装置の製造方法の一例について、その工程の一部を示した工程断面図。

【図16】本発明の第3の実施形態に係る半導体装置の製造方法の一例について、その工程の一部を示した工程断面図。

【図17】本発明の第3の実施形態に係る半導体装置の製造方法の一例について、その工程の一部を示した工程断面図。

【図18】本発明の第3の実施形態に係る半導体装置の

製造方法の他の例について、その工程の一部を示した工程断面図。

【図19】本発明の第3の実施形態に係る半導体装置の製造方法の他の例について、その工程の一部を示した工程断面図。

【図20】従来技術に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図21】従来技術に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図22】従来技術に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図23】従来技術に係る半導体装置の製造方法について、その工程の一部を示した工程断面図。

【図24】従来技術に係る半導体装置の製造方法の問題点について示した平面図。

【符号の説明】

101…シリコン基板

102…素子分離

103…シリコン酸化膜

104…ポリシリコン膜

105、107…シリコン窒化膜

106、108…ソース・ドレイン拡散層

109…シリサイド膜

110…層間絶縁膜

111…溝

112…ハフニウム酸化膜

113…ハフニウム窒化膜

114…レジスト

115…コバルト膜

201…シリコン基板

202、205、206、207…シリコン酸化膜

203、214…シリコン窒化膜

204、215…レジスト

208…ポリシリコン膜

209…ソース・ドレイン拡散層

210、218…層間絶縁膜

211…溝

212…Ta₂O₅膜

213…Ru膜又はPd膜

216…In膜又はSn膜

217…タングステン膜

219…配線

301…シリコン基板

302…素子分離

303…P型ウエル

304…N型ウエル

305、312…シリコン酸化膜

306…ポリシリコン膜

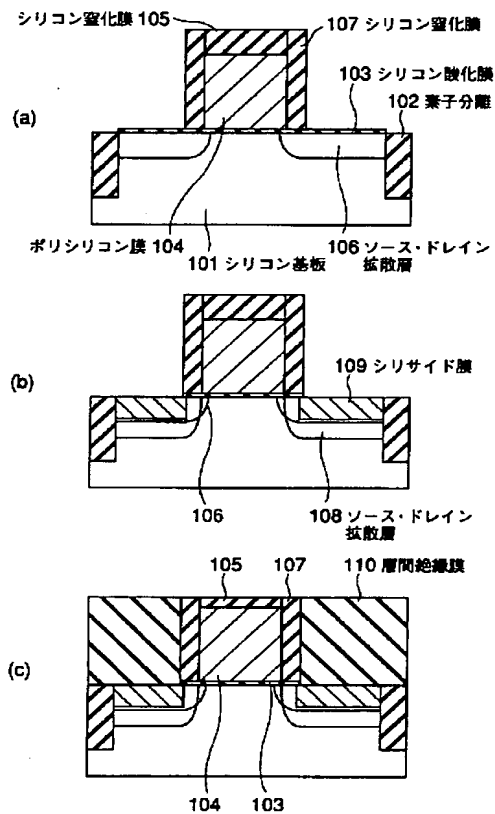
307、309…ソース・ドレイン拡散層

308、314…シリコン窒化膜

29

310、317…層間絶縁膜
 311…溝
 313…タンガステンシリサイド膜
 315…パラジウム膜
 316…パラジウムシリサイド膜
 318…配線

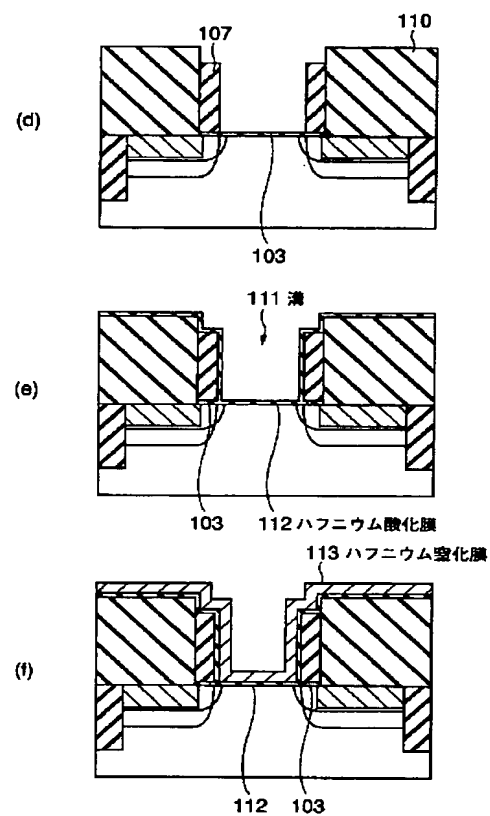
【図1】



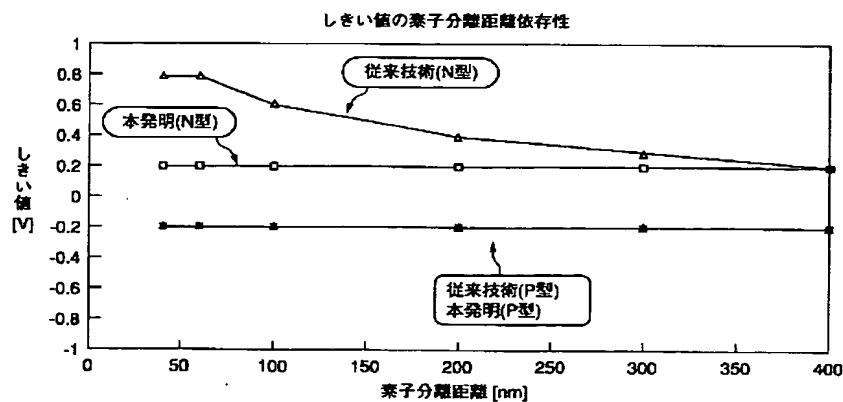
30

* 321、322…レジスト
 323…ゲルマニウム膜
 324…インジウム膜
 331…ニッケル膜
 332…アモルファスシリコン膜
 * 333…ニッケルシリサイド膜

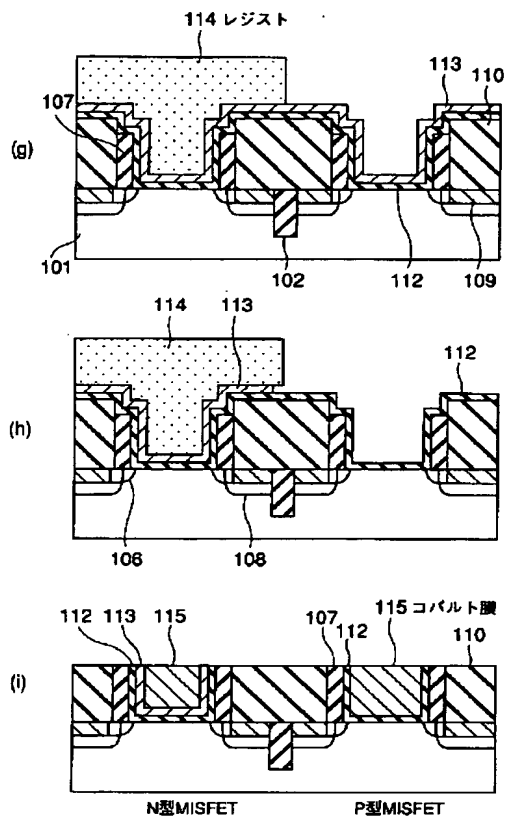
【図2】



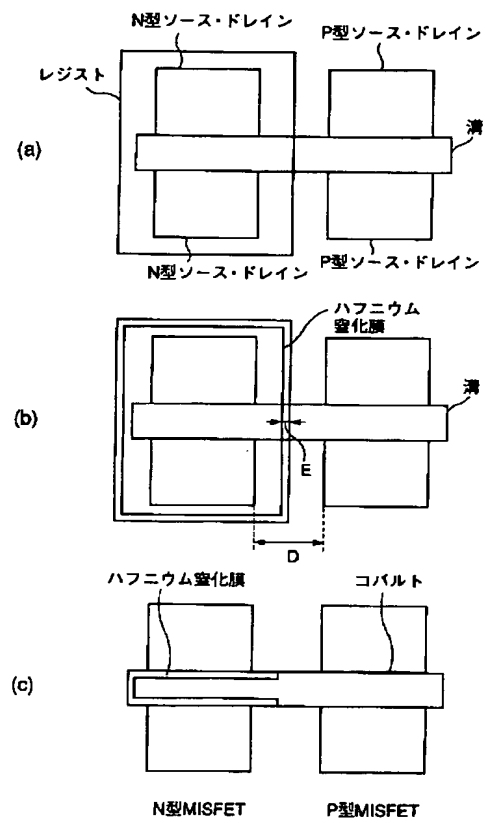
【図5】



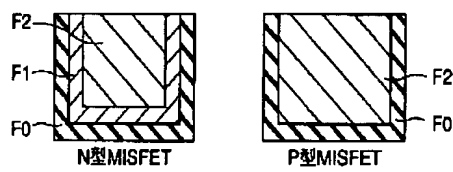
【図3】



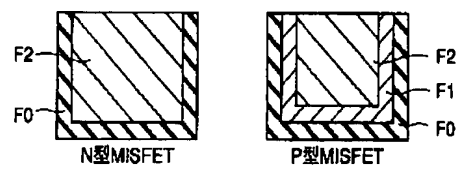
【図4】



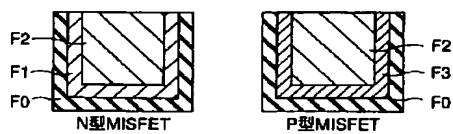
【図6】



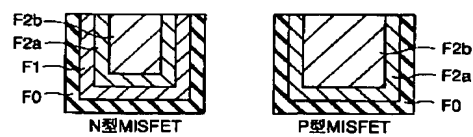
【図7】



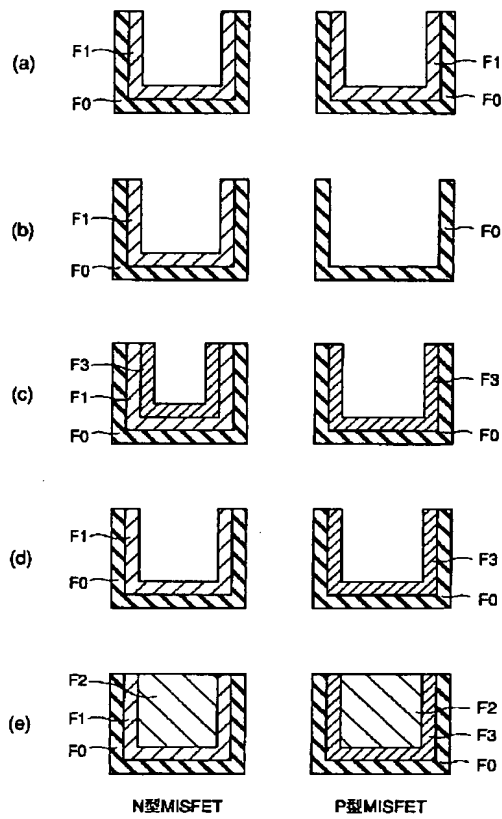
【図8】



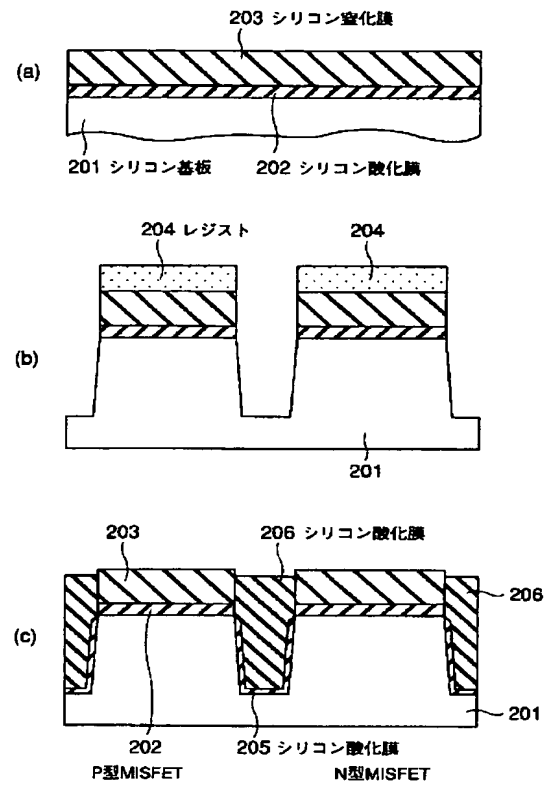
【図9】



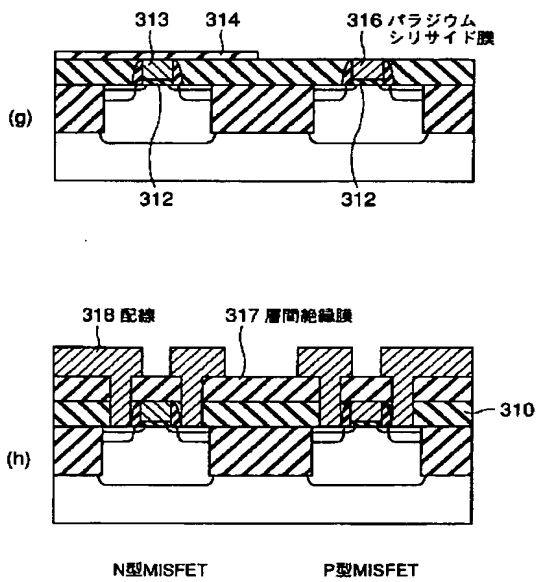
【図 10】



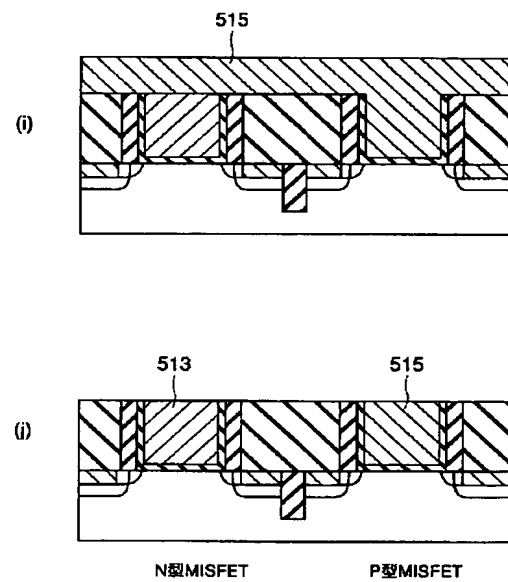
【図 11】



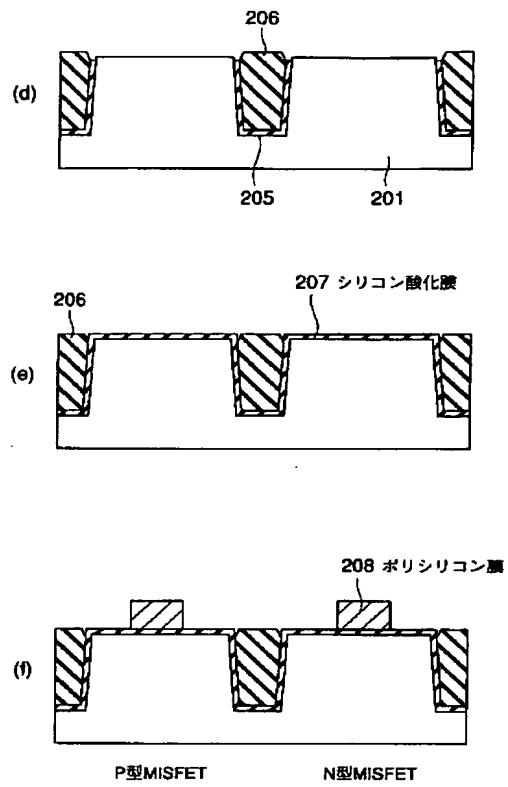
【図 17】



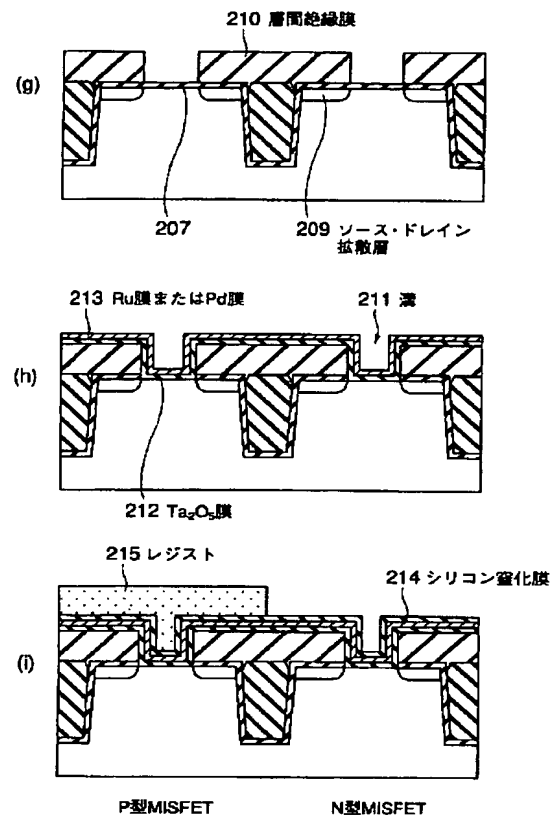
【図 23】



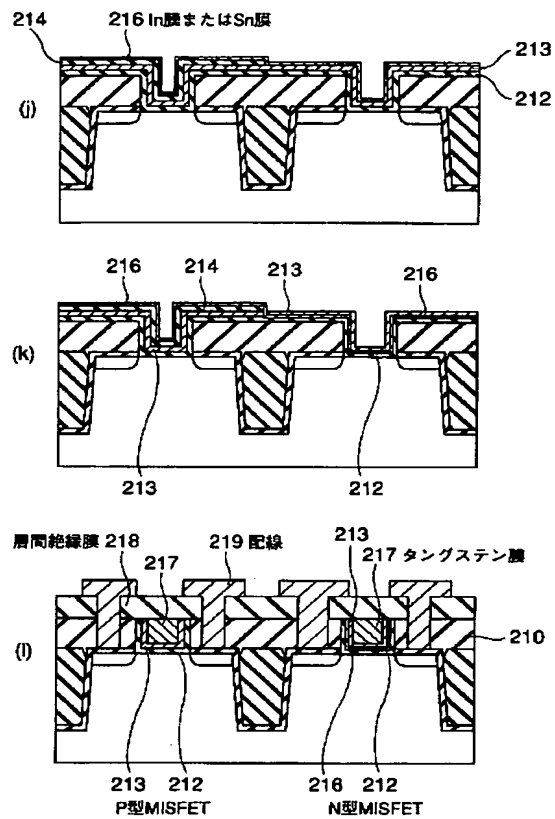
【図 12】



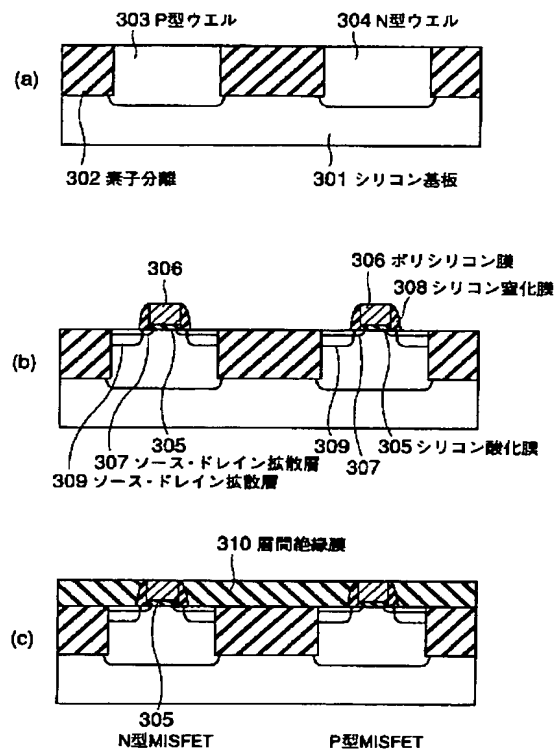
【図 13】



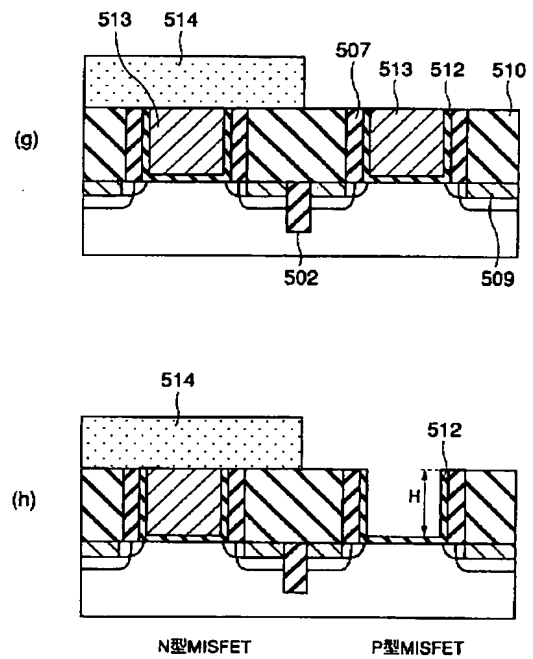
【図 14】



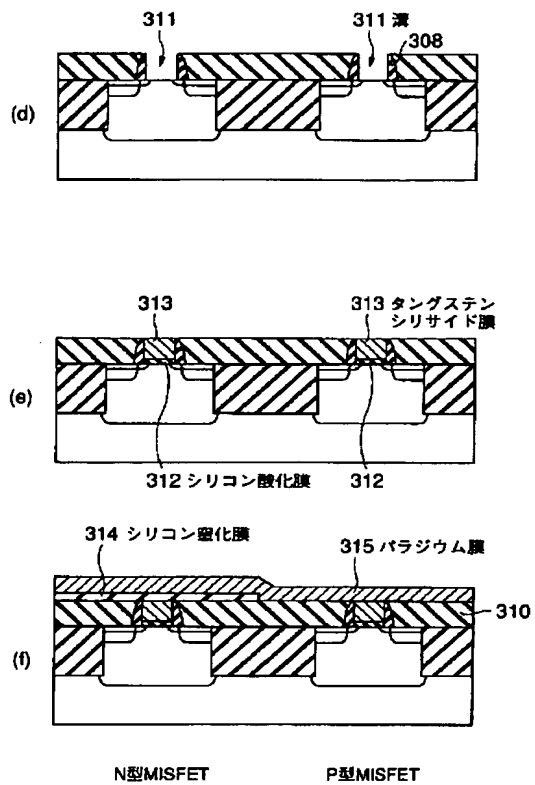
【図 15】



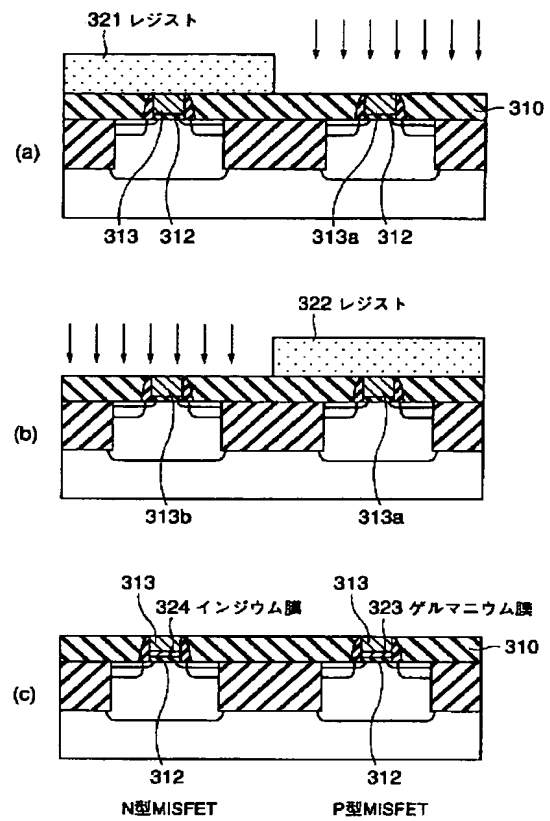
【図 22】



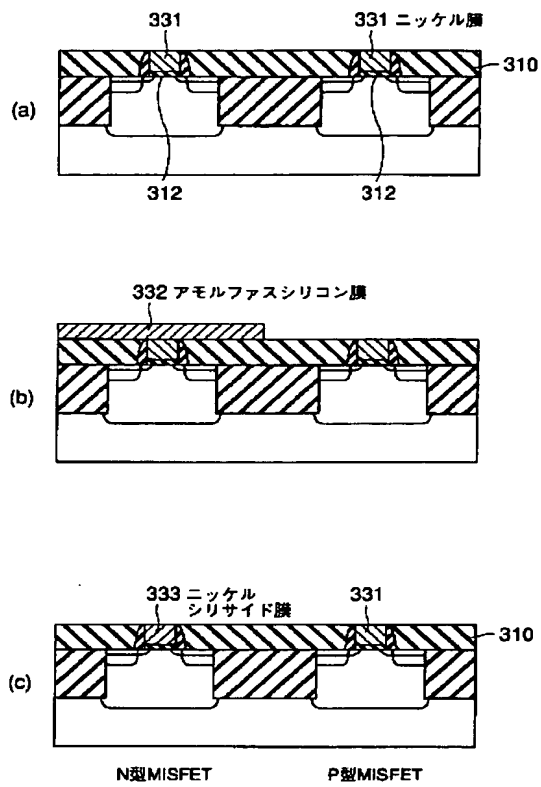
【図16】



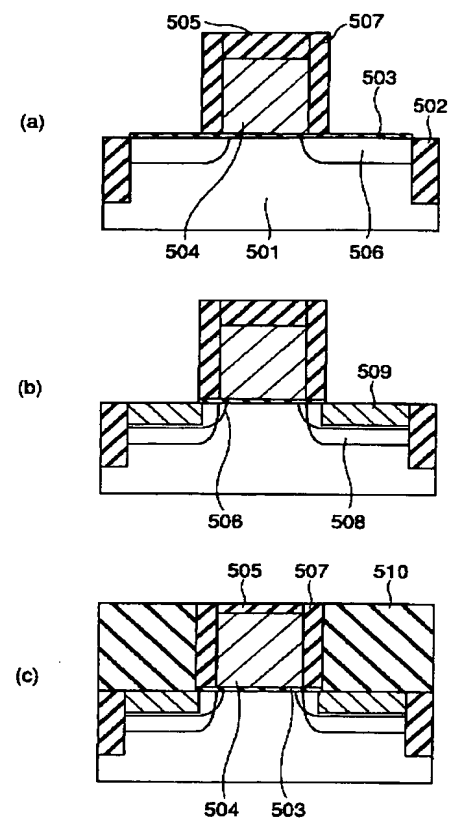
【図18】



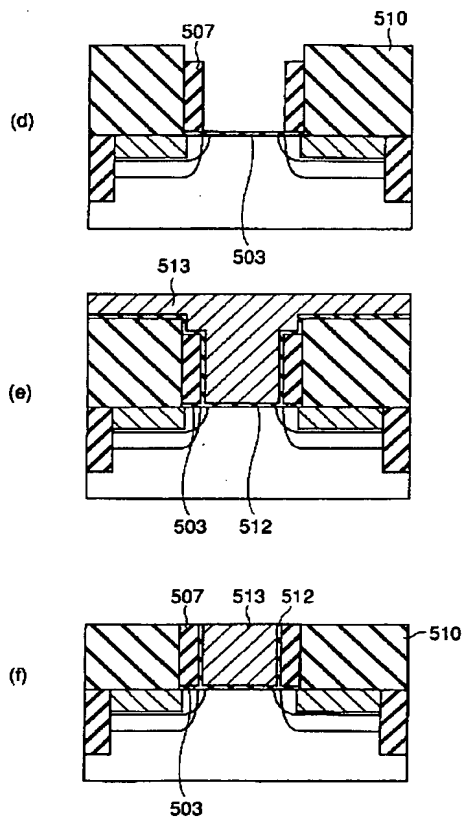
【図 19】



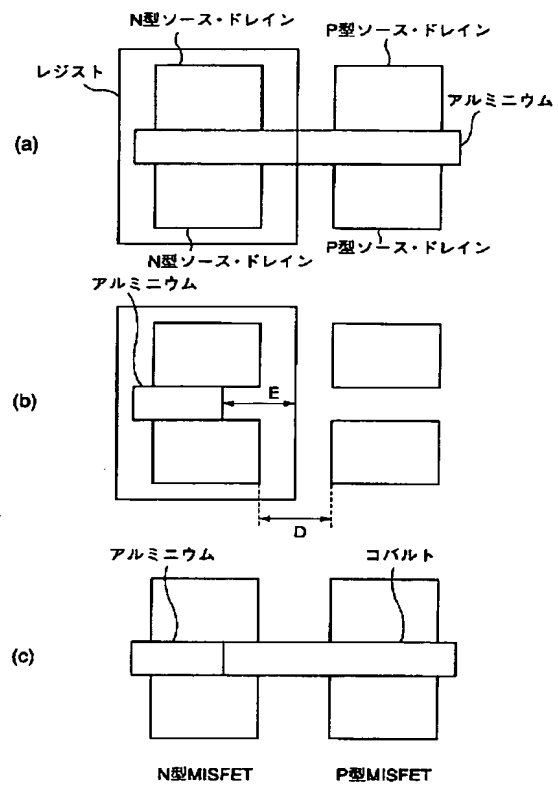
【図 20】



【図 21】



【図 24】



フロントページの続き

(72) 発明者 飯沼 俊彦
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 松尾 浩司
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 村越 篤
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム (参考) 4M104 AA01 BB04 BB29 BB30 BB32
BB33 BB36 CC05 EE03 FF06
FF13 GG10 HH20

5F040 DA00 DB03 DC01 EC04 EC08
EC09 EC20 ED03 ED04 EF09
EK05 FA02 FC11 FC22 FC28

5F048 AA01 AC03 BA01 BB04 BB08
BB09 BB10 BB11 BB14 BG01
BG14